**Lab 4: Circuits Arithmétiques**

**Hiver 2018**

**École de Génie Électrique et Science Informatique**

**Université d’Ottawa**

**Professeur: Dr. Ahmed Karmouch**

**Groupe 4**

**Khang Nguyen 300007277**

**Vergenie Howayek 300008321**

**Date de l’expériment: Le 15 mars 2018**

**Date de Soumission: Le 22 mars 2018**

**Objectifs:**

* Construire et tester un circuit de l'additionneur complet
* Utiliser l’additionneur complet comme une pour créer un Additionneur/Soustracteur de 8 bit utilisant un design hiérarchique
* Concevoir un détecteur de débordements et un Additionneur/Soustracteur de complément à 2 (pour la partie 3 qui était optionnel)

**Équipements et composantes:**

* Quartus II 13.0 Service-Pack 1
* Carte Altera DE2-115

**Diagrammes de circuits:**

**Partie I - Additionneur Complet**

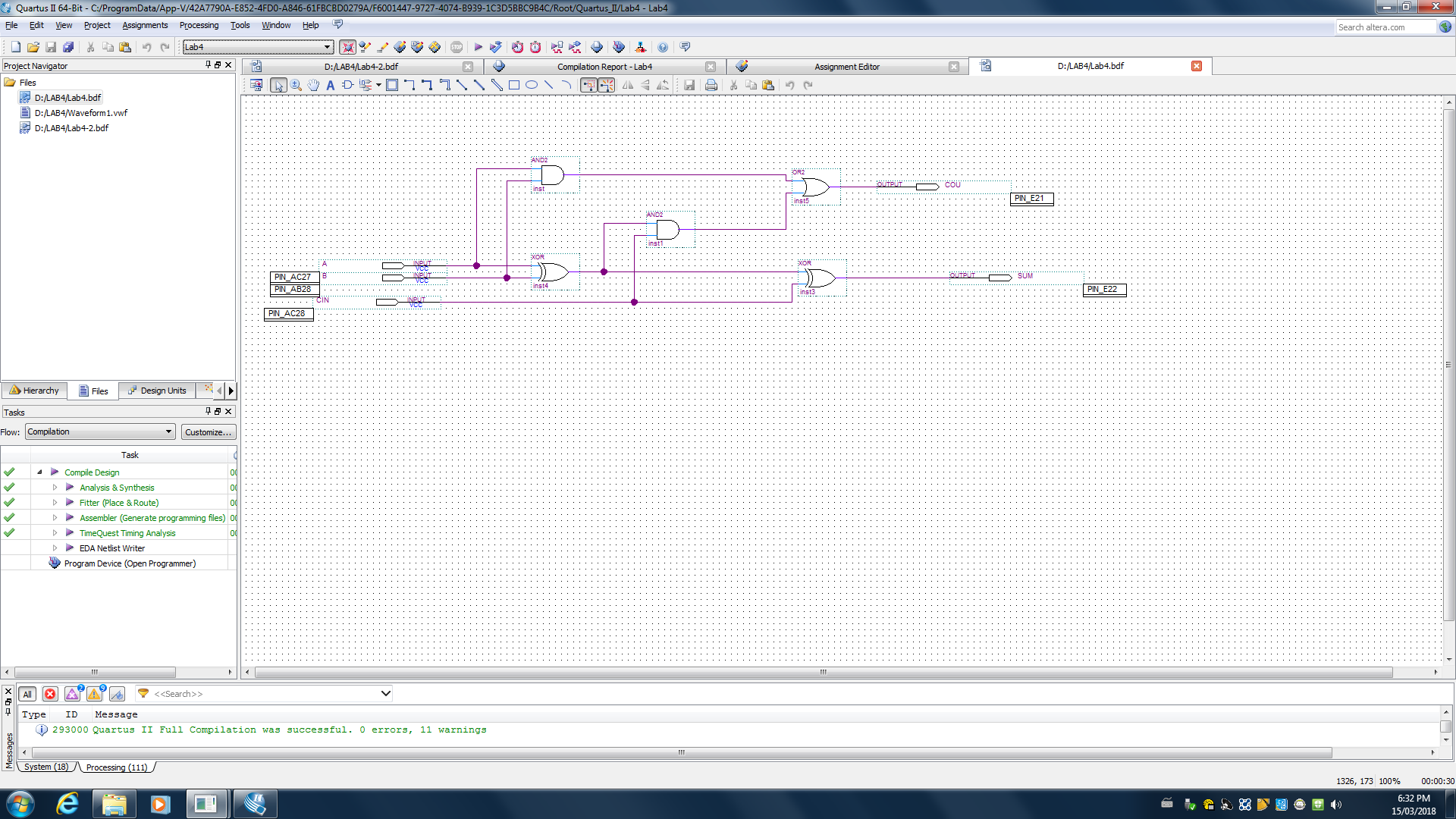
****

Figure 1: Capture d’écran du diagramme du circuit de l'additionneur complet (Figure 5.4.1 du Manuel de Laboratoire)

**Partie II - Additionneur 8 bit**

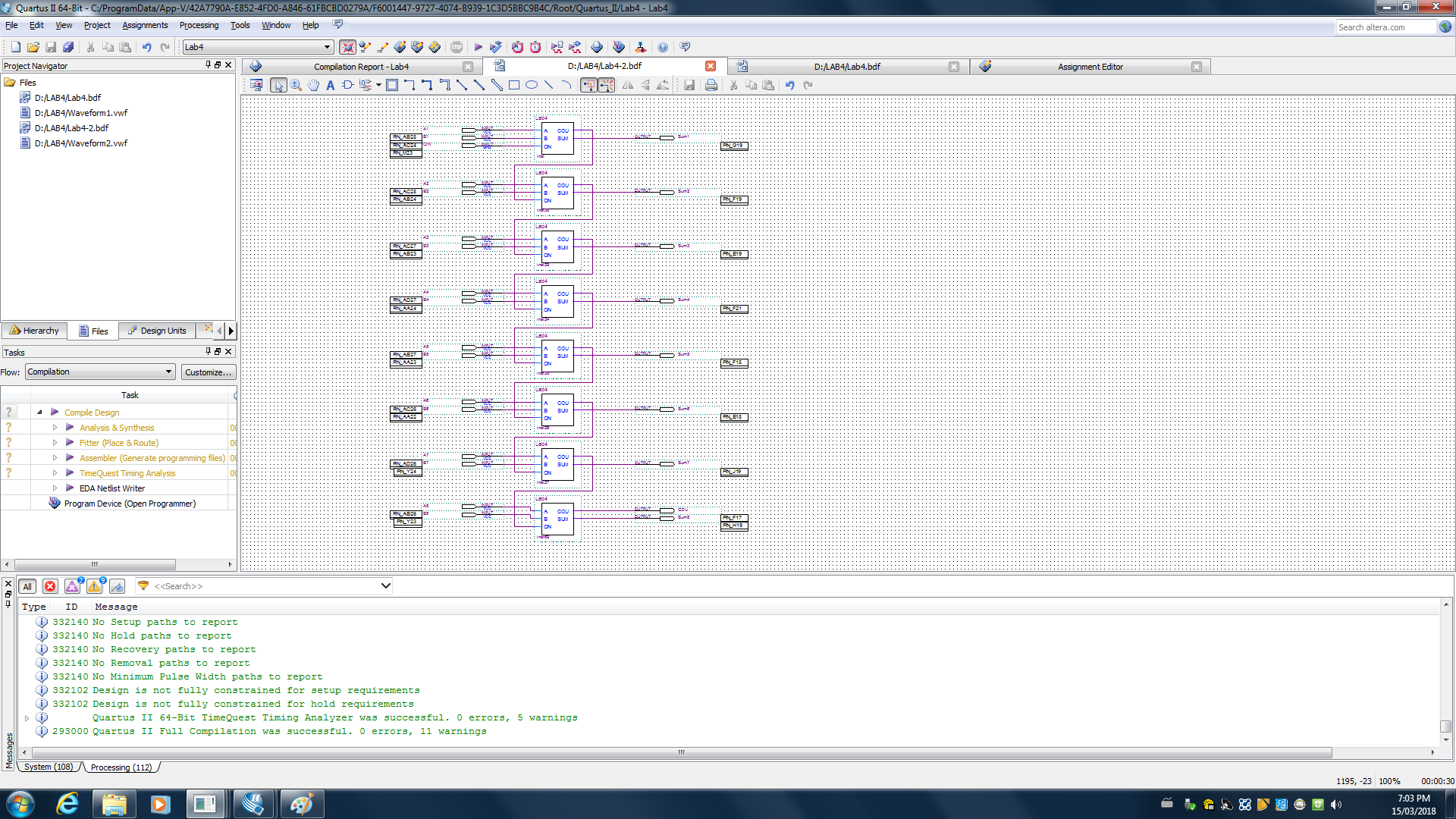


Figure 2: Capture d’écran du diagramme du circuit de l’additionneur 8 bit

**Données expérimentales et traitement de données:**

**Pattie I - Additionneur Complet**

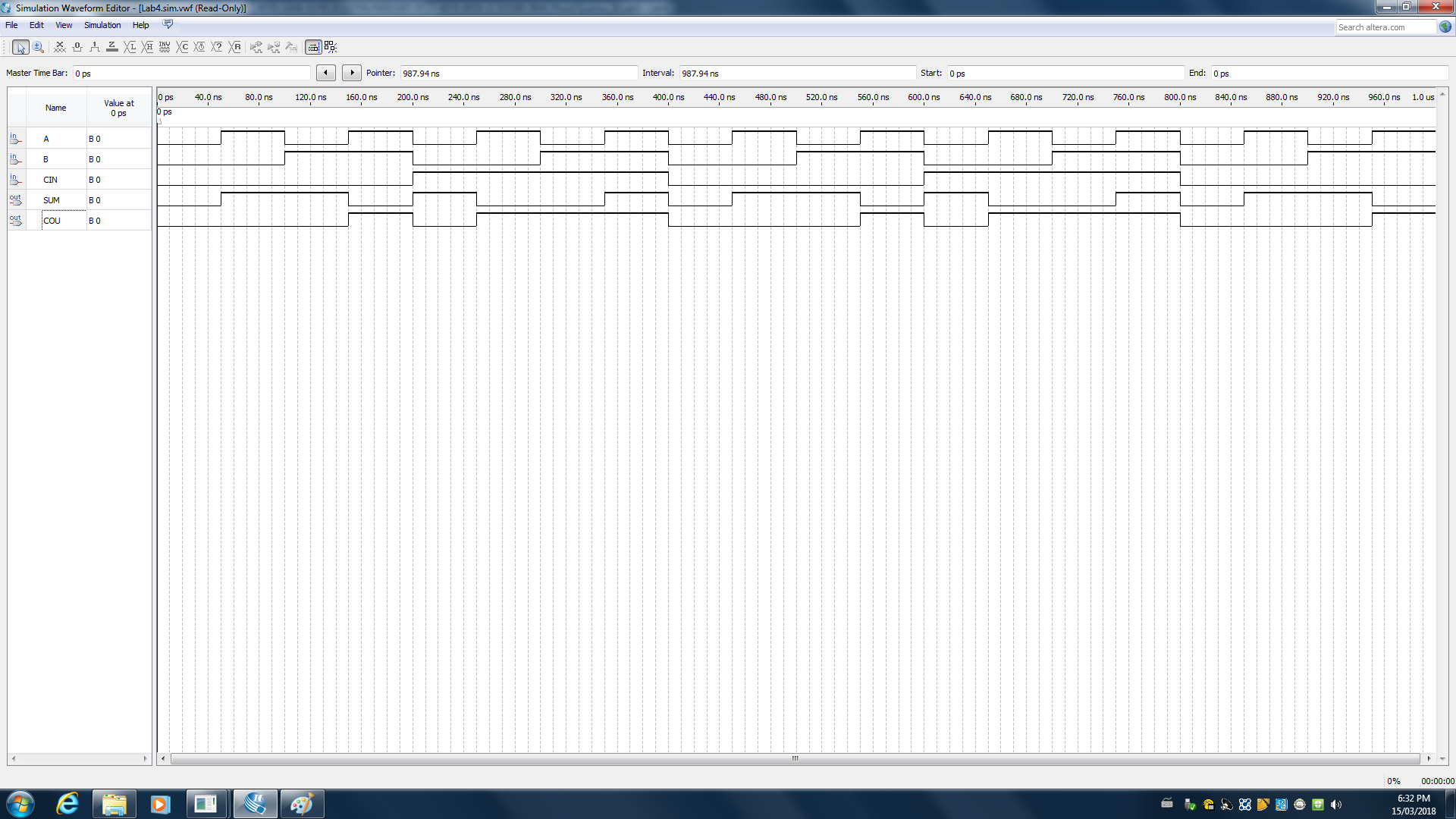


Figure 3: Simulation Output Waveform de l’additionneur complet

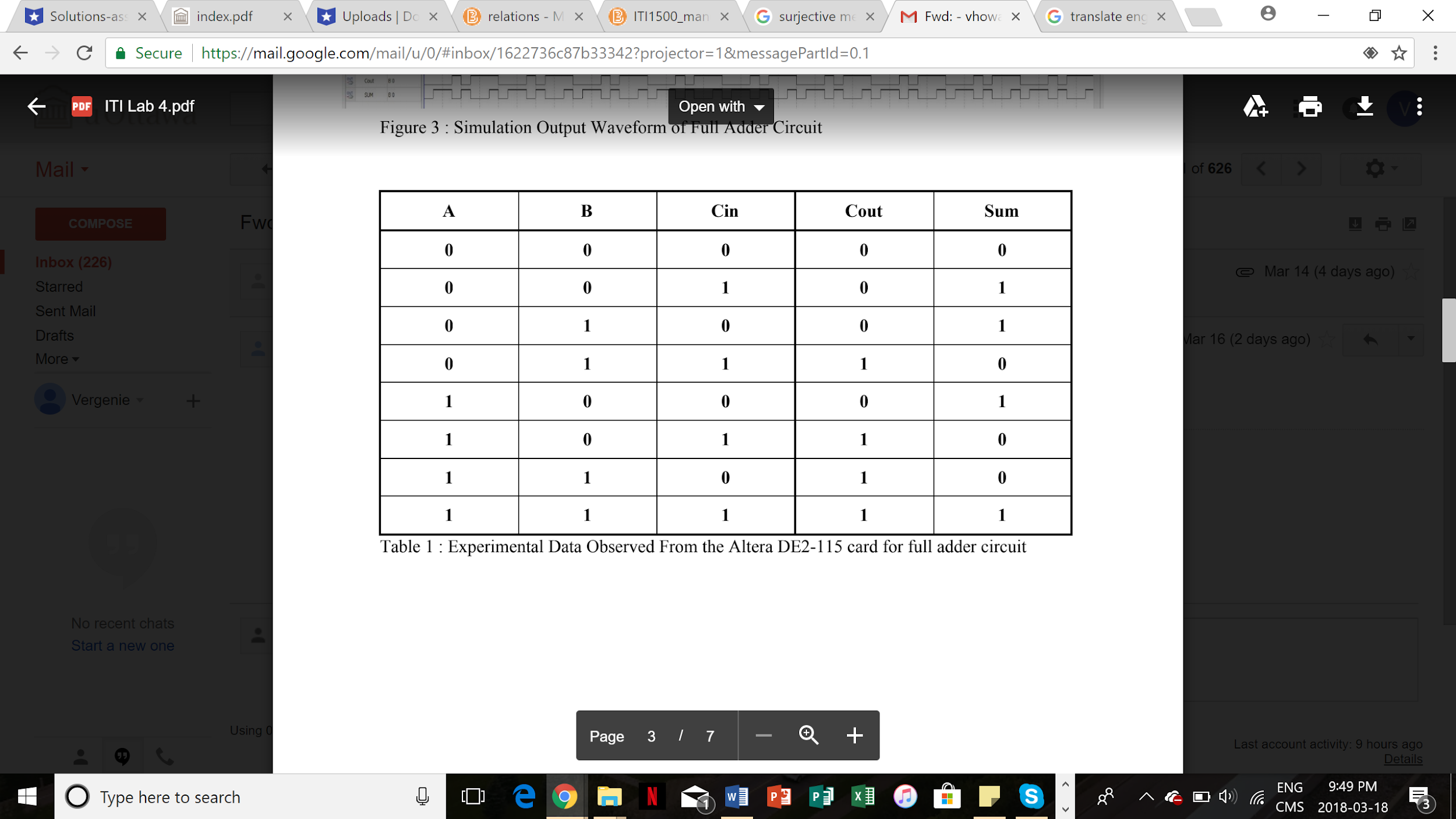


Table 1: Données expérimentales observés de la carte Altera DE2-115 pour l’additionneur complet

**Partie II - Additionneur 8 bit**

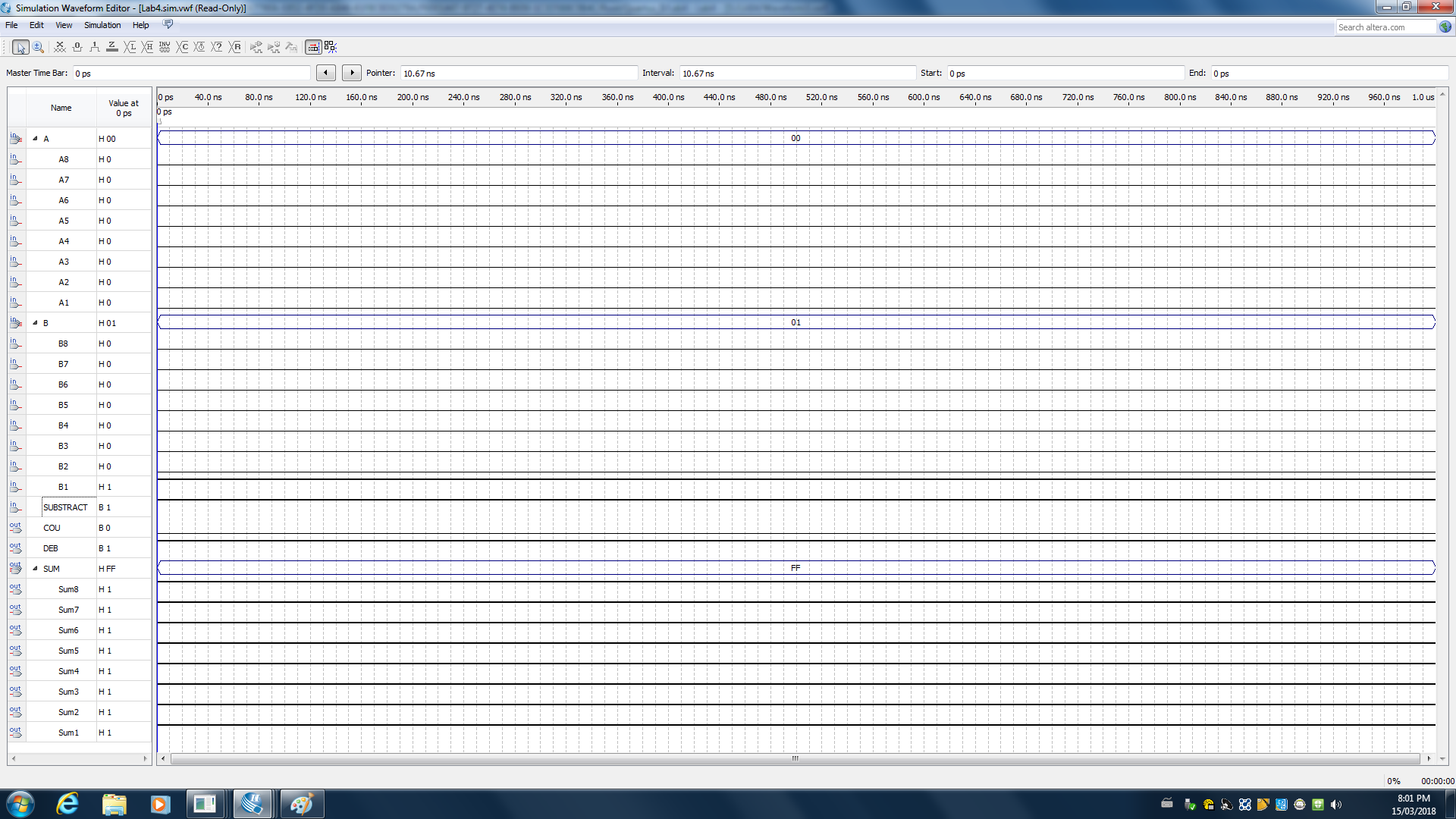
****

Figure 4: Simulation Output Waveform du Circuit de l'additionneur 8 bit

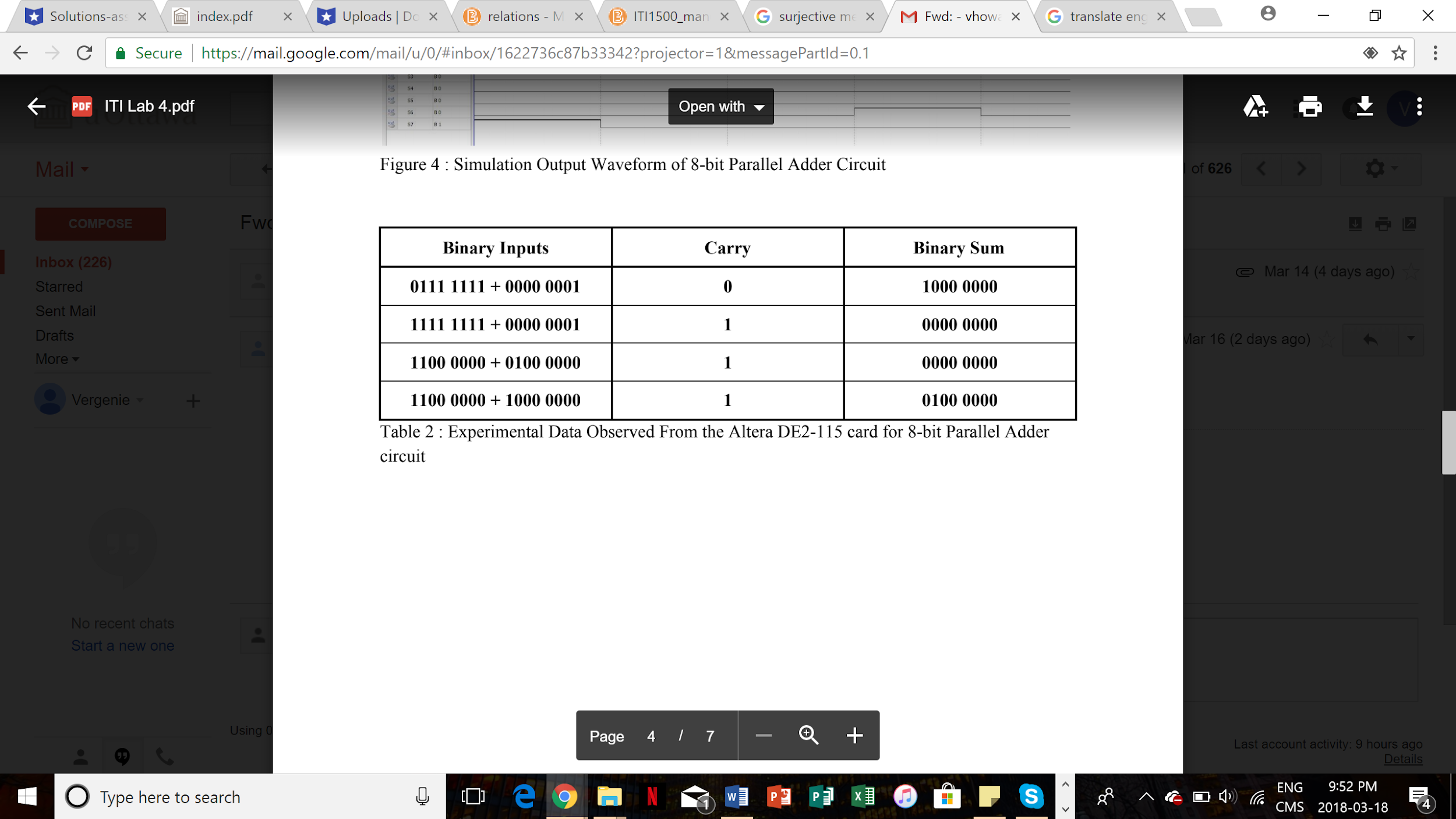


Table 2: Données expérimentales observés de la carte Altera DE2-115 pour le circuit de l’additionneur 8 bit

**Partie III - Additionneur/soustracteur complément à deux (Optionnel)**

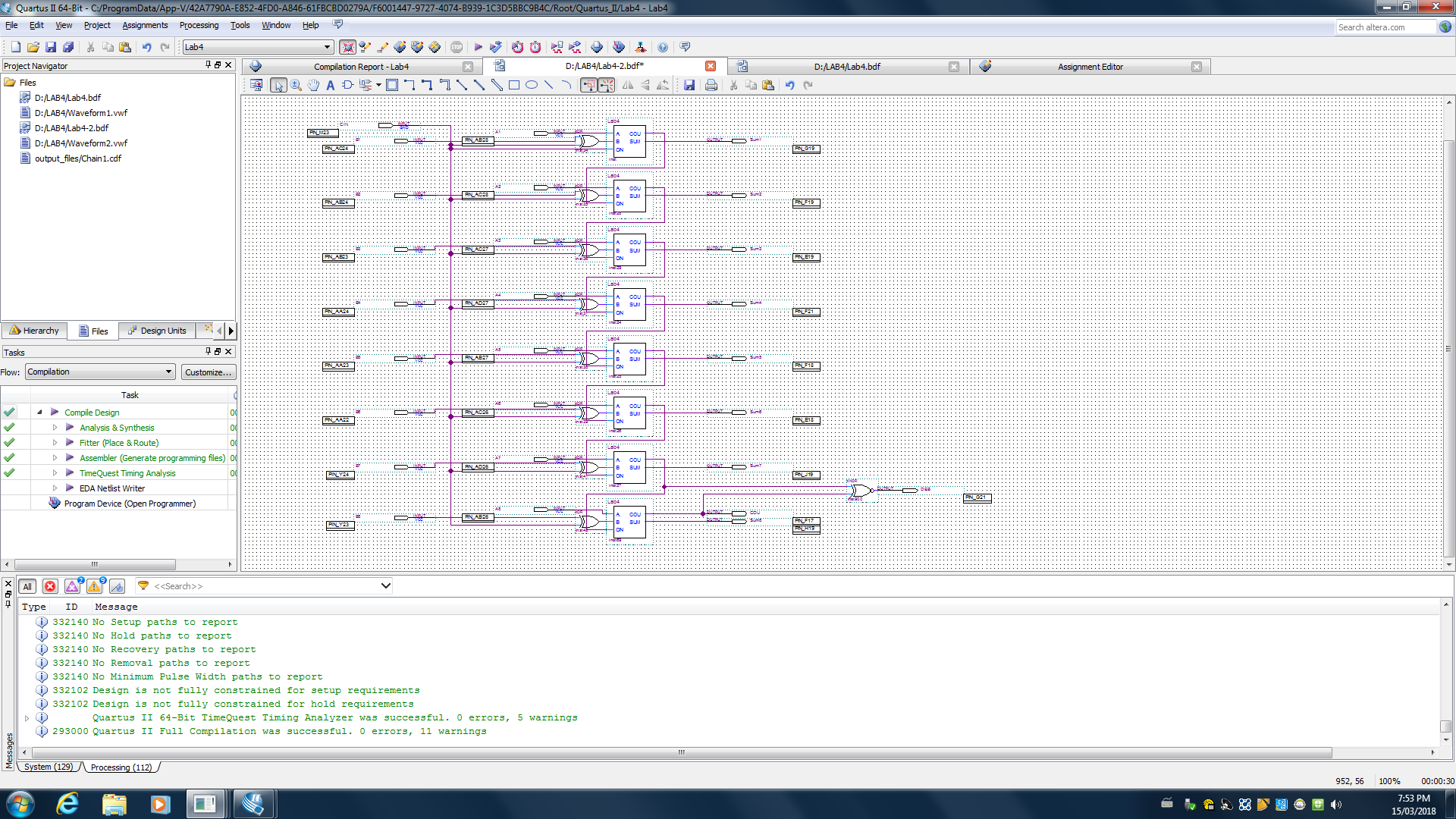


Figure 5: Capture d’écran du diagramme du circuit de l’additionneur/soustracteur complément à deux

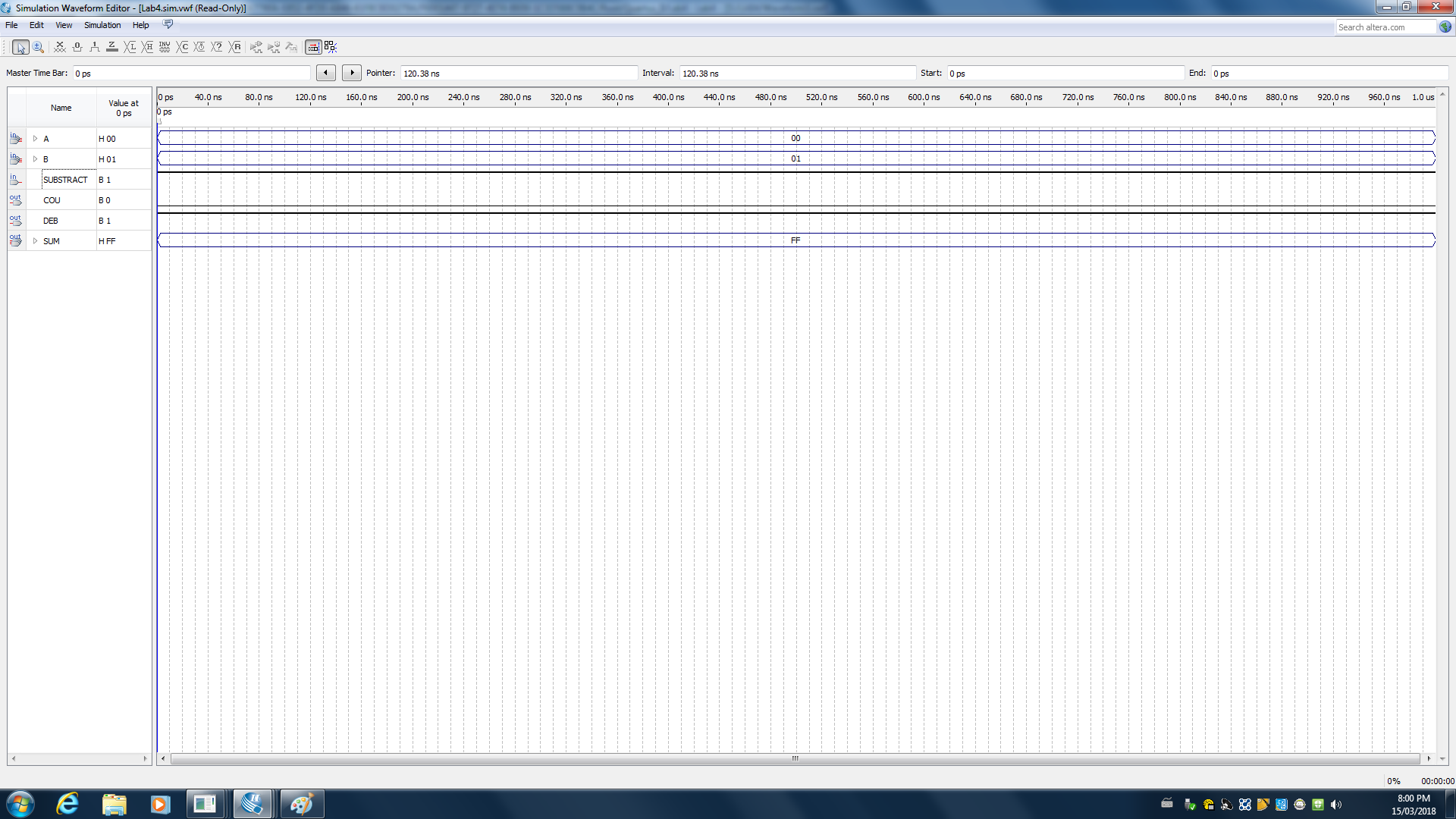


Figure 6: Simulation Output Waveform du circuit de l’additionneur/soustracteur complément à deux

**Comparaison des données expérimentales et des données attendues:**

**Partie I - Additionneur Complet**

Pour cette partie, il n’y avait aucune données attendues parce qu’il n’y avait aucune préparation pour cette partie dans le manuel de laboratoire. Par contre, en utilisant no connaissances et tout ce qu’on a appris dans ce cours, nos résultats sont corrects. Logiquement, nos résultats sont ce qu’ils devraient l’être et ce qu’on attendait d’obtenir.

**Partie II - Additionneur 8 bit**

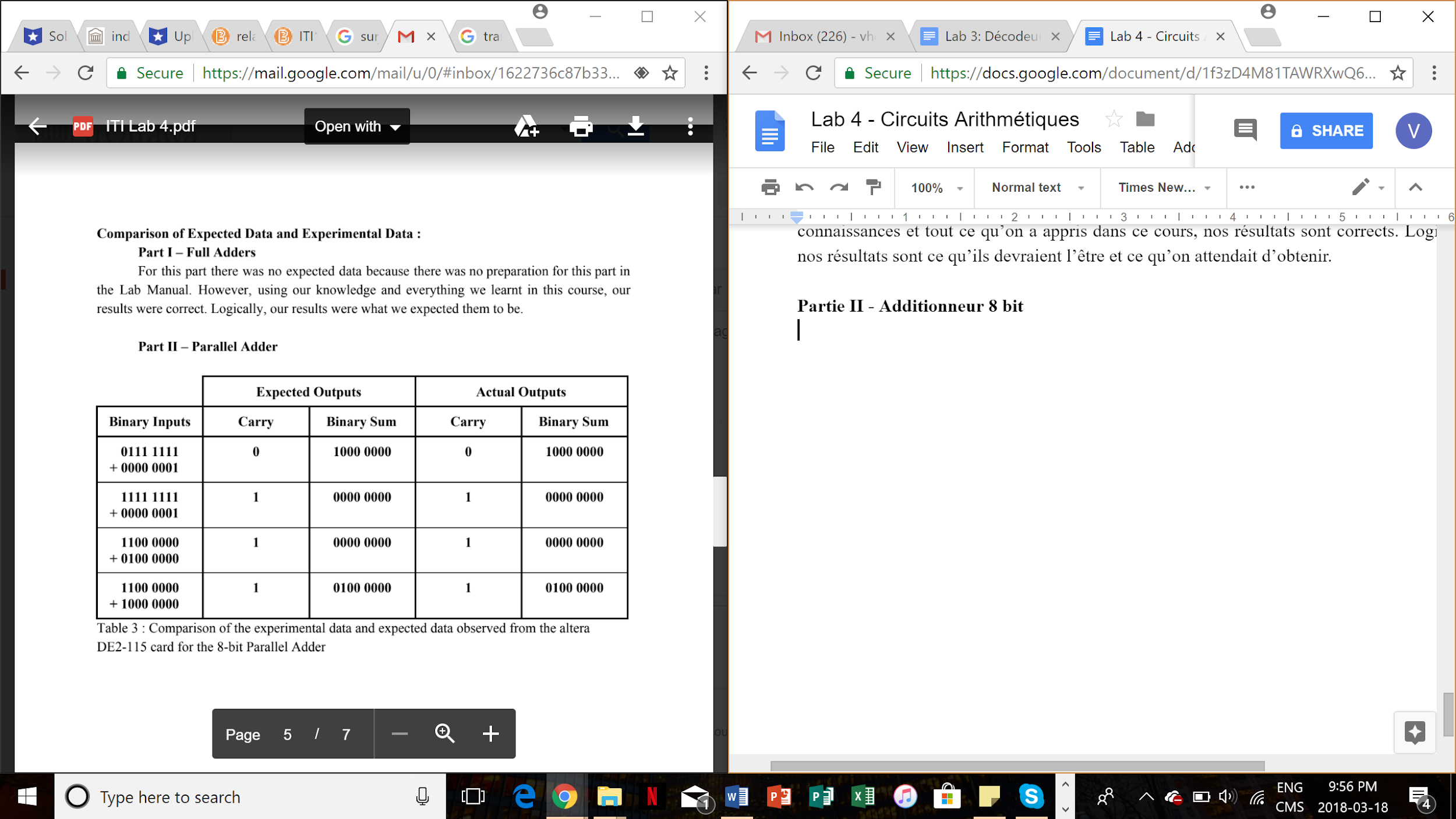


Table 3: Comparaison des données expérimentales et des données attendues observées de la carte Altera DE2-115 pour l’additionneur 8-bit

**Discussion et conclusion:**

Dans ce laboratoire, on a rencontré aucune erreur lorsqu’on a comparé nos données attendues avec nos données expérimentales. Pour les deux parties du laboratoire, nos résultats étaient exactement les mêmes que les résultats qu’on a obtenu dans le pré-laboratoirle. Les seules difficultés qu’on a rencontré au cours de ce laboratoire était le problème avec la sortie de la simulation de la deuxième partie, mais avec un démarrage rapide du logiciel Quartus a résolu le problème. Dans ce laboratoire on a créé un additionneur complet qui peut ajouter 3 bits pour produire une somme et une valeur comptable. En utilisant cet additionneur complet, on l’a sauvegardé en tant que composante et on l’a utilisé dans la seconde partie pour créer un additionneur parallèle de 8-bit. Pour ce faire, on a utilisé 8 additionneurs complets et on a configuré les rapports pour aller du précédent additionneur complet au suivant comme démontré dans la figure 2. Cela a permis d’ajouter deux nombre binaires de 8 bits et d’obtenir leur somme avec la sortie. On a pu montrer que notre circuit fonctionne et n’a pas rencontré de problèmes. En fin compte, ce laboratoire a été un succès et une bonne expérience d’apprentissage.